

⑫ 公開特許公報(A)

昭60-222895

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)11月7日

G 09 G
3/20
3/367436-5C
7436-5C

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 画像表示装置

⑮ 特 願 昭59-78320

⑯ 出 願 昭59(1984)4月20日

⑰ 発 明 者 酒 井 重 信 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
⑰ 発 明 者 皆 川 長 三 郎 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
⑰ 発 明 者 増 田 清 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
⑰ 発 明 者 幸 田 成 人 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内
⑰ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑰ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) ガラス等の絶縁基板上に形成された半導体層上または半導体基板上に行列状に電極が形成され、電極の交点に単数あるいは複数のトランジスタからなるスイッチング装置とコンデンサおよび画素電極が形成され、前記画素電極上に表示素子を介して設けられた透明電極を対向電極とした画像表示装置において、表示信号を上記コンデンサに書き込み保持する手段と、その保持信号を読み出し、検出・増幅し、上記コンデンサに再書き込みを行う手段とを具備していることを特徴とする画像表示装置。

(2) 表示信号をコンデンサに書き込む手段として光、熱、電子線等のエネルギーを用いることを特徴とする特許請求の範囲第(1)項記載の画像表示装置。

(3) 再書き込み時に、信号を反転する手段を具備することを特徴とする特許請求の範囲第(1)項また

は第(2)項記載の画像表示装置。

3. 発明の詳細な説明

(発明の属する分野)

本発明は制御が容易で、かつ、高速読み書きが可能な高機能の画像表示装置に関するものである。

(従来の技術)

第1図は従来の画像表示装置の構成を示すもので、1は表示素子として液晶を用いた $m \times n$ 画素の平面表示パネルであって、行選択線 $DR1 \sim DRm$ と列選択線 $DC1 \sim DCn$ が配線されている。2は行選択回路であって行選択線 $DR1 \sim DRm$ の中の1本を選択し、3は列選択保持回路、4はBビットのデータバスである。列選択保持回路3はデータバス4からのBビットの表示パターン信号を列選択線 $DC1 \sim DCn$ の中のB本に伝えると共にその信号を保持し、その信号により列選択線 $DC1 \sim DCn$ を活性あるいは不活性にする。表示パネル1は行選択線 $DR1 \sim DRm$ の中の1本 DRi が行選択回路2により選択されると、その行選択線 DRi と列選択線 $DC1 \sim DCm$ の交点の表示素子 DS が、列選択線 $DC1 \sim$

DCmの活性・非活性により信号を明・暗の形で表示する。5は表示パネル1の画素数と同じ $m \times n$ ビットのフレームメモリであり、6は行選択回路、7は列選択回路で、フレームメモリ5の情報は行選択回路6、列選択回路7により8ビットの情報ずつ読み書きが行なわれる。8は制御回路、9、10、11、12は制御線であり、前記選択回路2、3、6、7は制御回路8により制御線9、10、11、12を介して制御され、13は外部入力バスである。

この表示装置における表示パネル1で表示する表示ボタン信号はフレームメモリ5に記憶されている。従って、表示パネル1に表示ボタンを表示させるためには、行選択回路2により、行選択線DR1～DRmを順次選択し、その行に対応した表示ボタン信号を、順次フレームメモリ5より読み出しデータバス4を介して列選択保持回路3に転送しなければならない。

通常、表示パネル1に表示ボタンがちらつき無く正常に見えるためには、上記の様に、表示パネル1の1画面(1フレーム)分を毎秒30回以上

定常的に表示する(リフレッシュ)必要がある。

表示パネル1に新たな表示ボタンを表示するには、外部入力バス13から制御回路8を介してフレームメモリ5に表示ボタン信号を書き込む必要がある。しかし、上述した様に、表示パネル1へフレームメモリ5からデータバス4を介して表示ボタン信号を定常的に転送しているため、外部入力バス13からの表示ボタン情報を時分割でフレームメモリ5に格納する必要があり、制御が複雑になるとともに、格納に要する時間も大きいという欠点がある。

第2図は、近年、大面積表示パネルに採用されているアクティブマトリクス回路を示すもので、20はMOSトランジスタ、21は表示素子である。上記の欠点はこの回路を用いた場合にも適用される。即ち、MOSトランジスタ20はゲートGに接続した行選択線DRiが選択されるとONとなり、表示信号をドレインに接続された列選択線DCjを介してソースSに伝える。ソースSは表示素子21に接続されている。表示信号により表示素子21は

明・暗を表示する。ここで行選択線DRiを非選択にするとMOSトランジスタ20はOFFとなり、表示情報はソースSに一時的に蓄えられるが、蓄積時間が数msと短いため上述と同様にリフレッシュが必要である。

(発明の目的)

本発明は、これらの欠点を除去するため、表示パネルに定常的な記憶機能を付加した画像表示装置を提供しようとするものであり、以下図面について詳細に説明する。

(発明の構成および作用)

第3図(a)は本発明の一実施例の回路図、第3図(b)はタイミング図を示す。

図中、Tr11A～Trm1A及びTr11B～Trm1BはMOSトランジスタ、C11A～Cm1A及びC11B～Cm1Bは表示素子であり、表示素子は両端に電圧を印加すれば活性、印加しなければ非活性となり、明・暗を表示する。ここでは表示素子として液晶を想定し説明する。

MOSトランジスタTr11A、Tr11B～Trm1A、Trm1Bの

ゲートにはそれぞれ行選択線DR1A、DR1B～DRmA、DRmBが、またドレインにはそれぞれ列選択線DC1A、DC1Bが接続されている。表示素子C11A、C11B～Cm1A、Cm1Bの一端はMOSトランジスタTr11A、Tr11B～Trm1A、Trm1Bのソースに、他端はタイミング線T1A、T1B～TmA、TmBにそれぞれ接続されている。ここで、MOSトランジスタTr11A及び表示素子C11Aで画素セルS11Aを構成しており、この画素セルが $m \times n \times 2$ のマトリクスを形成している。また、30～34はMOSトランジスタでありフリップフロップを形成している。上記フリップフロップは画素セルに記憶している情報を読み出し再書き込みを行なうセンスアンプであり、X、Yはフリップフロップのクロスカプル端子である。MOSトランジスタ30、31のゲートにはタイミングパルス ϕ_A が、MOSトランジスタ34のゲートにはタイミングパルス ϕ_B が印加される。MOSトランジスタ30、31のドレインは電源VDDに接続され、MOSトランジスタ34のソースは接地されている。37、38は比較電圧発生回路40-1から列選択線DC1A、DC1Bに比較電圧

V_{ref} を供給するためのMOSトランジスタであり、ゲートにはそれぞれタイミングパルス ϕ_{RB} 、 ϕ_{RA} が印加される。39、40、41、42はMOSトランジスタであり、39、40のゲートにはタイミングパルス ϕ_D が、41、42のゲートにはタイミングパルス ϕ_D' が印加されている。MOSトランジスタ39、41のドレインはXに、40、42のドレインはYにそれぞれ接続している。またMOSトランジスタ39、42のソースは列選択線DC1Aに、40、41のソースは列選択線DC1Bにそれぞれ接続されている。43、44は外部からの書き込み・読出しを制御するためのMOSトランジスタであり、ゲートにはそれぞれタイミングパルス ϕ_{CA} 、 ϕ_{CB} が印加され、ドレインはそれぞれ入出力端子D1A、D1Bに、ソースはそれぞれフリップフロップのクロスカプル端子X、Yに接続されている。

次に本発明の動作を第3図(a)及び(b)を用いて説明する。なお、ここで $T_1 \sim T_6$ は第3図(b)の時間を示し、また、MOSトランジスタは全てNチャネルMOSトランジスタとして説明する。また第3図

(b)において、明・暗の書き込みについては実線を明、点線を暗で表示する。

まず、外部から入出力端子D1Aを介して画素セルS11Aに表示データを書き込むには、タイミングパルス ϕ_A 、 ϕ_B 、 ϕ_D 、 ϕ_{RB} 及びタイミング線T1Aを接地電圧に、タイミングパルス ϕ_{OA} 、 ϕ_D 及び行選択線DR1Aを高電圧にする。この結果、入出力端子D1Aから入力される表示信号はMOSトランジスタ43、39及びTr11Aを介して表示素子C11Aに印加される(T_1)。MOSトランジスタTr11Aと表示素子C11Aとの接続端子をXDAとすると、XDAの電圧は明・暗の表示信号に対応し V_p あるいは接地電圧になる。書き込み終了後行選択線DR1Aを接地すると、表示信号が接続端子XDAに一時的に記憶される(T_2)。しかし、MOSトランジスタTr11Aのリーク電流等により、接続端子XDAの電圧は V_p から低下し、数ms後に接地されてしまう。そこで、定常的に表示信号を画素セルに記憶させておくためには、定期的に接続端子XDAに記憶している表示信号を読み出し、センスアンプにより検出

増幅し、再び書き込む必要がある。その手順を以下に説明する。

まず、タイミングパルス ϕ_{CA} 、 ϕ_{CB} 、行選択線DR1A、DR1B \sim DRmA、DRmB、タイミングパルス ϕ_D' 、 ϕ_D 、 ϕ_{RB} 、 ϕ_{RA} を接地電位にし、タイミングパルス ϕ_D 、 ϕ_A を高電圧にする。その結果、クロスカプル端子X、Y及び列選択線DC1A、DC1Bは V_{PC} に充電される(T_3)。次にタイミングパルス ϕ_A を接地電圧にした後、行選択線DR1A及びタイミングパルス ϕ_{RA} を高電圧にする(T_4)。この時、列選択線DC1A及び接続点XDAが V_p であれば V_{PC} の電圧のままであるが、接続端子XDAが接地電圧であれば $V_{PC}-4V$ の電圧に低下する。この時、列選択線DC1Bには比較電圧発生回路40-1からMOSトランジスタ38を介して $V_{PC}-\frac{1}{2}4V$ の電圧を供給する。この時タイミングパルス ϕ_D を高電圧にすると、接続端子XDAが V_p であつたならば、クロスカプル端子のXは V_{PC} の電圧を保持し、Yは接地される。逆に接続端子XDAが接地電圧であつたならばXは $V_{PC}-4V$ の電圧から接地電圧に変化し、Yは

$V_{PC}-\frac{1}{2}V_p$ の電圧を保持する。この時再びタイミングパルス ϕ_A を高電圧にすれば、XあるいはYの一方の端子が再び V_{PC} に、他方は接地電圧になり、接続端子XDAに再びMOSトランジスタ39及びTr11Aを介して表示信号が書き込まれる(T_5)。即ち、接続端子XDAの電圧が V_p からMOSトランジスタのリーク等で低下したとしても行選択線DR1Aを高電圧にした時の列選択線DC1Aの電圧が $V_{PC}-\frac{1}{2}4V$ より高く、かつ、その差をセンスアンプが検出増幅できるうちに、表示情報を検出・増幅し再書き込みを行えば、画素セルに記憶した表示信号は定常的に記憶される。同様に他の画素セルに記憶した表示信号もセンスアンプで検出・増幅し、再書き込みを行えば、フレームメモリ等を用いリフレッシュする必要がなくなる。

なお、表示素子である液晶は直流電圧を印加しておく特性が劣化する性質がある。そこで、本発明ではセンスアンプが画素セルに再書き込みを行う時に、タイミングパルス ϕ_D を接地、 ϕ_D' を高電圧にし、再書き込み信号を反転するとともにタイミン

グ線 T1A を V_p の電圧にする (T_0)。これにより、表示素子 C11A に印加されていた電圧の極性が反転される。上記動作を周期的に行うことにより、表示素子に印加される電圧は常に極性が反転され、劣化は生じない。この技術は、表示素子として液晶を用いた場合のみならず、交流電圧を印加する必要のある EL (エレクトロルミネッセンス) 等を用いた場合にも有効である。

なお、画素セルに記憶した表示信号を外部に読み出すには、センスアンプが画素セルに再送達を行う時にタイミングパルス ϕ_{CA} , ϕ_{CB} を高電圧にすることにより、入出力端子 D1A, D1B を介し出力する。

第 4 図は本発明の他の実施例の構成を示すブロック図である。50 は第 3 図で示した様な記憶機能を有する画素セルより構成される表示パネル、51, 52 は画素セルを選択するための選択回路、53 は制御回路である。外部入力線 54 から表示信号が入力されると、制御回路 53 は制御線 55, 56 を介して選択回路 51, 52 より目的の画素セルを選

択し、データバス 57 を介して表示信号を画素セルに書込む。しかし、その後は表示パネル内の画素セルは表示信号を記憶しているため、制御回路は何ら制御を行う必要も無く、また、リフレッシュのため、フレームメモリも設ける必要が無い。

また、本発明によれば、表示パネル内の画素セルに記憶した表示信号は外部に読み出すことが可能であるので、制御回路により、特定領域の画素セルに記憶している表示信号を読み出し、上記信号を他の領域の画素セルに書込むことにより、図形の移動、複写を容易に行うことができる。

なお、本発明による表示パネルを用いた場合でも、第 1 図に示したようなフレームメモリを設置した構成も可能である。この場合、制御回路は直接表示パネルに表示信号を書込むか、一旦フレームメモリに書込んだ後、フレームメモリから表示パネルに表示信号を転送するかで表示を行う。いずれの場合でも、従来に比べ大幅に制御が容易で、かつ高速に書込むことが可能である。

また、本発明における画素セルに第 5 図で示し

たように端子 XD に容量 CB を付加しても動作は同様である。ただし、この場合は端子 XD の容量が大きくなったので、センスアンプが画素セルの表示信号を検出する際の列選択線 DC1A の電圧変化が大きくなるという利点がある。

また、第 3 図の構成において、画素セルに外部から光を照射することにより、画素セルに表示信号を書込むことが可能である。すなわち、第 3 図において画素セル S11A の接続端子 XDA の電圧が V_p である場合、外部から MOS トランジスタ T11A のソースに光を照射すると、少数キャリアの発生によるリークのため放電し、接続端子 XDA の電圧は低下し、最終的には接地される。これを利用し、タイミング線 T1A が接地の時光を照射すると接続端子 XDA は V_p から接地となり、すなわち明から暗への書込みが行われる。逆にタイミング線 T1A が電圧 V_p の時光を照射すると接続端子 XDA は V_p から同様に接地されるが、この場合は暗から明への書込みとなる。この様に、外部から直接画素セルへの表示信号の書込みは、表示パネルが図形入

力装置にもなり非常に有益である。なお、この光等による書込みの効率化を図るため、第 6 図に示すようにダイオード D を接続端子 XD に接続するのも有効である。この場合はダイオード D に光を照射すれば同様の動作を行う。なお、上記説明では書込みに光を用いたが、少数キャリアを発生できれば熱、電子線等を用いても同様の動作が可能である。

(効果)

以上説明したように本発明は、表示パネルに記憶機能を持たせることにより、従来必要であったフレームメモリを省略することが可能であるとともに、リフレッシュ動作を制御する必要が無いため、非常に構成が簡単化されるとともに制御が容易となる。また、表示信号が表示パネルからそのまま読み書きできるため、簡単な制御で図形の移動・複写が可能である。また、表示パネルに外部から光等の照射により表示信号の書込みが可能であるため、従来のアクティブマトリックスでは不可能であったライトペンと同様な手軽な入力手段

提供できる。さらに、表示パネル全面に人力した
いパタンの光を照射することにより、容易に2次
元表示信号の入力が可能となる。

4. 図面の簡単な説明

第1図は従来の画像表示装置の構成を示す図、
第2図は従来のアクティブマトリックス回路を示
す図、第3図(a)は本発明の一実施例の回路図、第
3図(b)はタイミング図、第4図は本発明の他の実
施例の構成を示すブロック図、第5図及び第6図
は本発明に使用する画素セルの実施例を示す図で
ある。

- 1 …… 表示パネル、 2, 6 …… 行選択回路、
3, 7 …… 列選択回路、 4 …… データバス、
5 …… フレームメモリ、 8 …… 制御回路、
9~12 …… 制御線、 13 …… 外部入力バス、
20, 30~34, 37~44 …… MOS トランジスタ、
21 …… 表示素子、 40-1~40-n …… 比較
電圧発生回路、 50 …… 表示パネル、 51, 52
…… 選択回路、 53 …… 制御回路、 54 ……
…… 外部入力線、 55, 56 …… 制御線、 57 ……

…… データバス、 DR1~DRm …… 行選択線、
DC1~DCn …… 列選択線、 DS …… 表示素子、
Tr11A, Tr11B~Trm1A, Trm1B …… MOS トラン
ジスタ、 C11A, C11B~Cm1A, Cm1B …… 表示素
子、 CB …… 容量、 D …… ダイオード、
D1A, D1B …… 入出力端子、 DC1A, DC1B ……
列選択線、 DR1A, DR1B~DRmA, DRmB …… 行
選択線、 S11A, S11B~SmnA, SmnB …… 画素セ
ル、 T1A, T1B~TmA, TmB …… タイミング線、
 $\phi_A, \phi_B, \phi_{CA}, \phi_{CB}, \phi_D, \phi_D', \phi_{HA}, \phi_{HB}$ …… タイ
ミングパルス、 X, Y …… クロスカプル端子、
XD, XDA …… 接続端子。

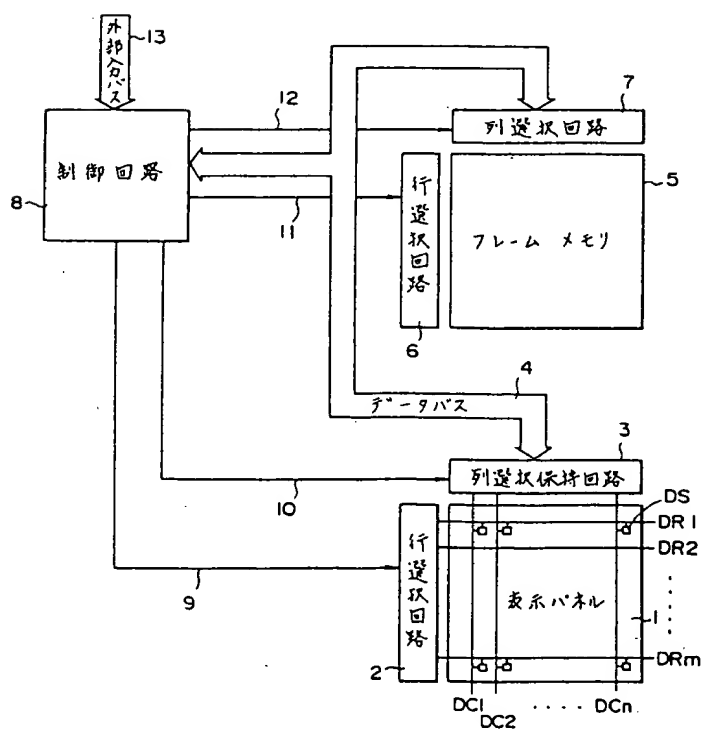
特許出願人 日本電信電話公社

代理人 星野恒

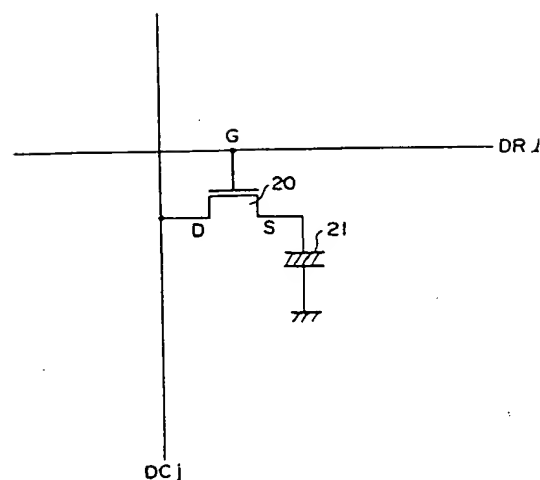
岩上昇



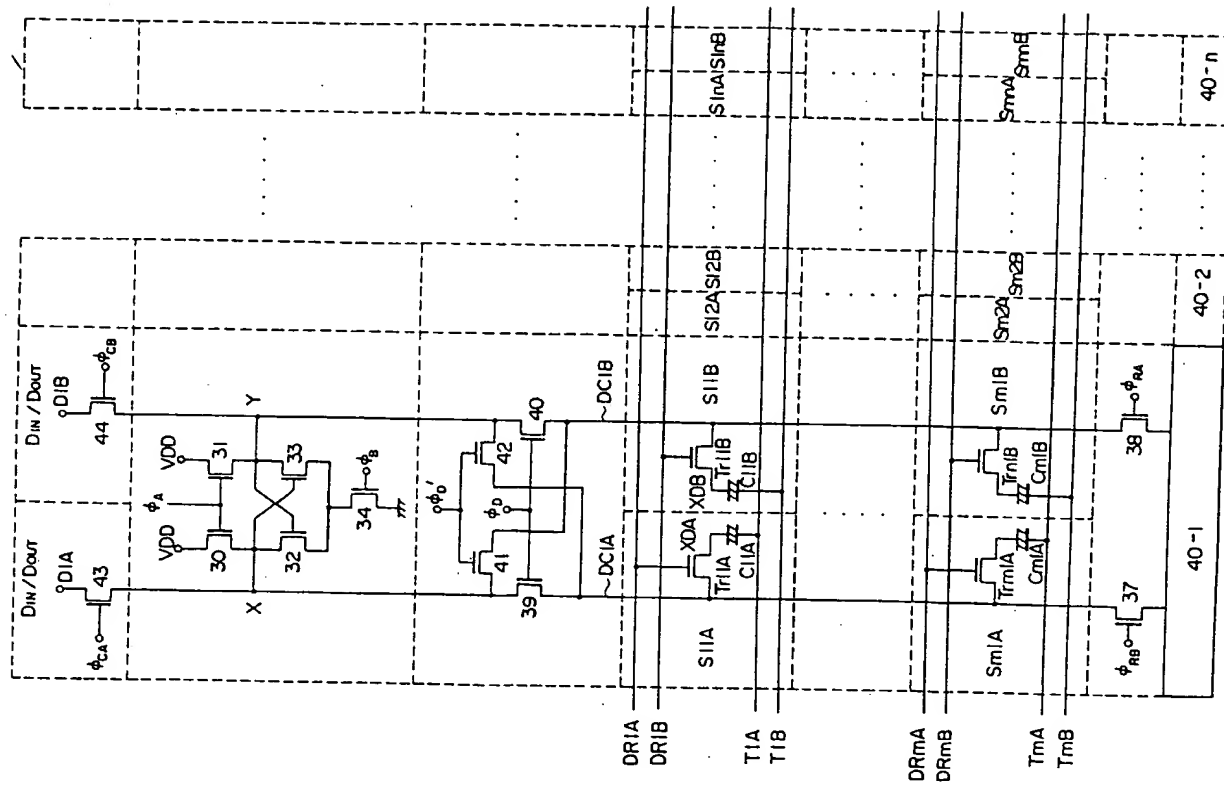
第1図



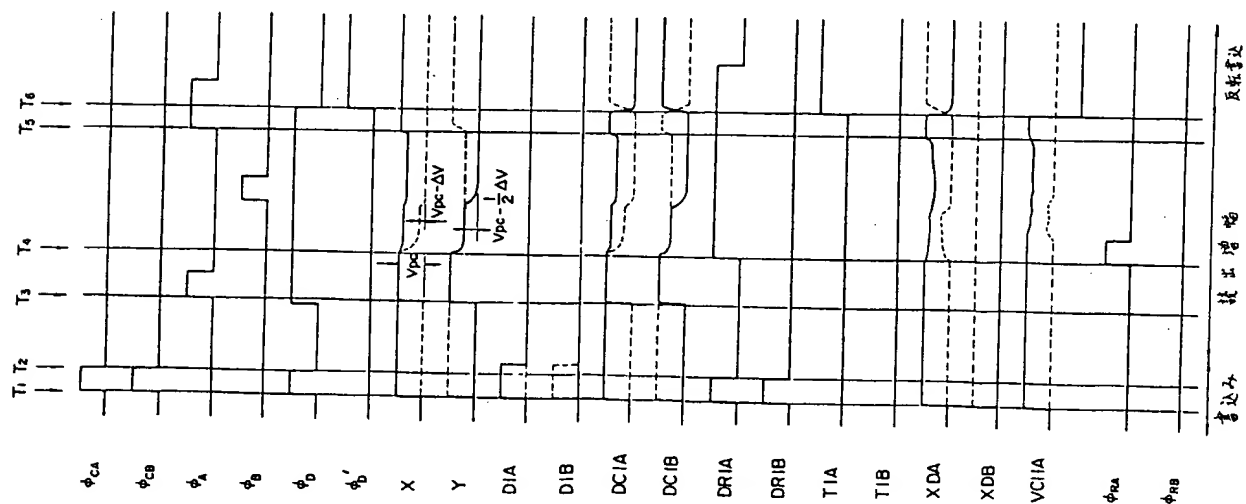
第2図



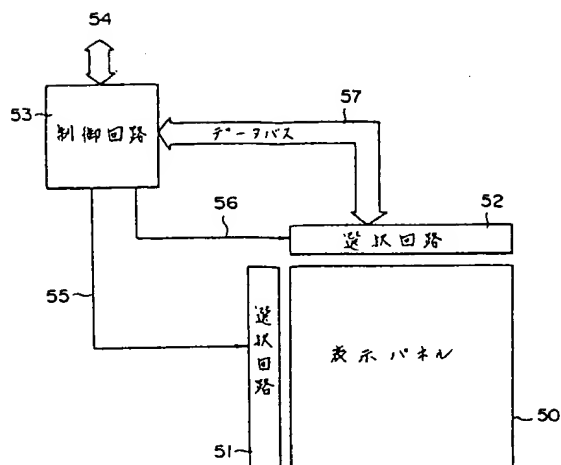
3 (5)
紙



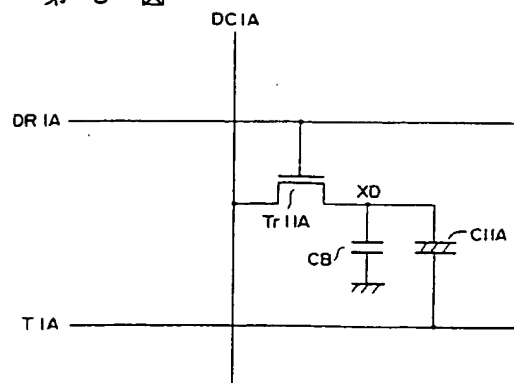
3 (b) 無



第 4 図



第 5 図



第 6 図

